

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-120687
 (43)Date of publication of application : 06.05.1997

(51)Int.Cl.

G11C 15/04

(21)Application number : 08-238868

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 10.09.1996

(72)Inventor : BRACERAS GEORGE M
 EVANS DONALD A
 WISTORT REID A

(30)Priority

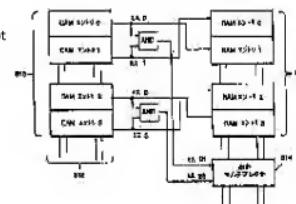
Priority number : 95 527480 Priority date : 13.09.1995 Priority country : US

(54) CONTENT-ADDRESSABLE MEMORY OR DATA PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a complete associative type CAM, in which strobe is not required and the whole performance of the CAM can be improved.

SOLUTION: In the CAM, the fact of coincidence with an address, to which only one of the entries of the CAM is applied. It is assembled that the address does not coincide with another CAM entry at the time of coincidence with the address, to which the entry of the CAM is applied. Accordingly, when a certain entry in a memory-array is accessed, it can be judged that the coincidence line of the CAM entry, which does not correspond to the above-mentioned coincidence entry in a memory, remains separately charged. A proper memory-bit can be selected without using a strobe by employing such other state information.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-120687

(43)公開日 平成9年(1997)5月6日

(51)Int.Cl.⁴
G 1 1 C 15/04

識別記号 執内整理番号

F I
G 1 1 C 15/04

技術表示箇所
B

(21)出願番号 特願平8-238868
(22)出願日 平成8年(1996)9月10日
(31)優先権主張番号 08/527480
(32)優先日 1995年9月13日
(33)優先権主張国 米国(US)

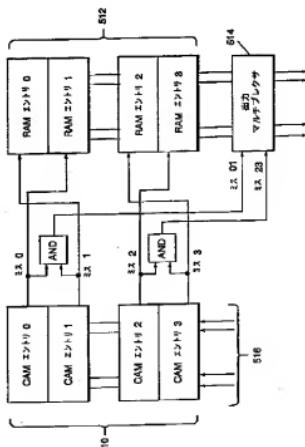
(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (所在地なし)
(72)発明者 ジョージ・マリア・ブラセラス
アメリカ合衆国05446 バーモント州コルチエスター キャニヨン・エステート・ド
ライブ 12
(74)代理人 弁理士 合田 澄 (外2名)
最終頁に続く

(54)【発明の名称】 データ処理システムのための内容アドレス可能メモリ

(57)【要約】

【課題】ストロープの必要をなくしCAMの全体的パフォーマンスを改善する、完全連想式CAMを提供する。

【解決手段】本発明によるCAMは、CAMのエントリのただ1つが印加されるアドレスに一致するという事実を利用する。CAMのエントリが印加されたアドレスに一致した場合、そのアドレスは他のCAMエントリとは一致しなかったと想定される。したがって、メモリ・アレイ内のあるエントリにアクセスする場合、メモリ内で前記の一一致エントリに対応していないCAMエントリの一一致線は、それぞれ事前充電された状態のままであると判断することができる。このような他の状態情報を用いることによって、ストロープを使用せずに適切なメモリ・ビットを選択することができる。



【特許請求の範囲】

【請求項1】複数のC A Mエントリを有する比較アレイと、それぞれある値を有するメモリ要素を有する複数のR A Mエントリを有するメモリ・アレイとを備える内容アドレス可能メモリであって、前記比較アレイが、

アドレスを受信するアドレス受信手段と、

前記アドレスをC A Mエントリと比較して前記アドレスがC A Mエントリと一致するかどうかを決定する比較手段と、

各C A Mエントリごとにそれがアドレスと一致しているかどうかを示すミス出力信号を発生し、かつ前記ミス出力信号の論理的組合せを表す組合せ出力信号を発生するための第1の出力手段とを備え、

前記メモリ・アレイが、

前記比較アレイから前記ミス出力信号及び前記組合せ出力信号を受信するための出力受信手段と、

前記ミス出力信号及び前記組合せ出力信号からR A Mエントリを選択するための選択手段と、

選択されたR A Mエントリのメモリ要素の値を示すR A M出力信号をメモリ・アレイから発生するための第2の出力手段とを備える、

内容アドレス可能メモリ。

【請求項2】前記R A M出力信号が、選択されたR A Mエントリの値の真数及び補数を示すことを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項3】前記アドレス受信手段が複数のアドレス線を含むことを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項4】前記比較手段が、

C A Mエントリに関連する複数のC A Mメモリ要素と、C A Mエントリに関連し、それぞれがC A Mメモリ要素及びアドレス受信手段からの入力を受信する複数のX O Rゲートと、

ドレインを有し、それぞれがX O Rゲートによって駆動される複数のN F E Tと、高低の状態を有し、C A Mエントリに関連し、各N F E Tのドレインがそれに接続される、一致線とを備えることを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項5】前記一致線が高に事前充電されており、X O Rゲートにより受信されたC A Mメモリ要素からの入力がアドレス受信手段からの入力と一致しない場合に、N F E Tによって低に駆動されることを特徴とする、請求項4に記載の内容アドレス可能メモリ。

【請求項6】前記第1の出力手段が、

それぞれがC A Mエントリに関連し、ある状態を有する複数の一一致線と、

それぞれが一致線の状態を反転し、それによってミス信号を生成する複数のインバータと、

それぞれが複数のミス信号の状態を比較して組合せ信号を出力する複数の論理ゲートとを備えることを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項7】前記論理ゲートがA N Dゲートであることを特徴とする、請求項6に記載の内容アドレス可能メモリ。

【請求項8】前記出力受信手段が、前記第1の出力手段から受信された複数のミス線を備えることを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項9】前記選択手段が、ソースとドレインを有し、それぞれがR A Mエントリに関連しあつR A Mエントリの値によって駆動される複数の第1のN F E Tと、ソースとドレインを有し、それぞれのソースが第1のN F E Tのドレインに接続されかつそれが比較アレイから受信したミス出力信号によって駆動される複数の第2のN F E Tと、第2のN F E Tのドレイン及び組合せ出力信号に接続された出力選択手段とからなり、前記出力選択手段が、組合せ出力信号を用いてアドレスと一致するエントリの値を選択することを特徴とする、請求項1に記載の内容アドレス可能メモリ。

【請求項10】前記出力選択手段がマルチブレクサであることを特徴とする、請求項9に記載の内容アドレス可能メモリ。

【請求項11】メモリ・アドレス要求を内容アドレス可能メモリに送る処理装置と、

複数のC A Mエントリを有する比較アレイと、それぞれある値を有するメモリ要素を有する複数のR A Mエントリを有するメモリ・アレイとを備える、内容アドレス可能メモリからデータを検索するためのデータ処理システムであって、

前記比較アレイが、
アドレス受信手段のアドレス受信手段と、
前記アドレスをC A Mエントリと比較して両者が一致するかどうかを決定するための比較手段と、

各C A Mエントリごとにそれがアドレスと一致するかどうかを示す出力信号を発生し、かつ前記ミス出力信号の論理的組合せを表す組合せ出力信号を発生するための第1の出力手段とを備え、

前記メモリ・アレイが、
比較アレイから前記ミス出力信号及び前記組合せ出力信号を受信するための出力受信手段と、
ミス出力信号及び組合せ出力信号からR A Mエントリを選択するための選択手段と、

選択されたR A Mエントリのメモリ要素の値を示すR A M出力信号をメモリ・アレイから発生し、該R A M出力信号を処理装置に送るための第2の出力手段とを備える、データ処理システム。

【請求項12】前記R A M出力信号が、選択されたR A Mエントリの値の真数及び補数を示すことを特徴とする、請求項11に記載のデータ処理システム。

【請求項13】前記アドレス受信手段が複数のアドレス線を備えることを特徴とする、請求項11に記載のデータ処理システム。

【請求項14】前記比較手段が、

CAMエントリに関連する複数のCAMメモリ要素と、CAMエントリに関連し、それぞれがCAMメモリ要素及びアドレス受信手段からの入力を受信する複数のXORゲートと、

ドレインを有し、それぞれがXORゲートにより駆動される複数のN FETと、高低の状態を有し、CAMエントリに関連し、各N FETのドレインがそれに接続される一致線とを備えることを特徴とする、請求項11に記載のデータ処理システム。

【請求項15】前記一致線が高に事前充電されており、XORゲートによって受信されたCAMメモリ要素からの入力がアドレス受信手段からの入力と一致しない場合に、N FETにより低に駆動されることを特徴とする、請求項14に記載のデータ処理システム。

【請求項16】前記第1の出力手段が、

それぞれがCAMエントリに関連し、ある状態を有する複数の一一致線と、

それぞれが一致線の状態を反転し、それによってミス信号を生成する複数のインバータと、

それぞれが複数のミス信号の状態を比較して組合せ信号を出力する複数の論理ゲートとを備えることを特徴とする、請求項11に記載のデータ処理システム。

【請求項17】前記論理ゲートがANDゲートであることを特徴とする、請求項16に記載のデータ処理システム。

【請求項18】前記出力受信手段が、第1の出力手段から受信した複数のミス線を備えることを特徴とする、請求項11に記載のデータ処理システム。

【請求項19】前記選択手段が、

ソースとドレインを有し、それぞれがRAMエントリに関連しかつRAMエントリの値によって駆動される複数の第1のN FETと、

ソースとドレインを有し、それぞれのソースが第1のN FETのドレインに接続されかつそれが比較アレイから受信したミス出力信号によって駆動される複数の第2のN FETと、

第2のN FETのドレインと組合せ出力信号とに接続された出力選択手段とからなり、前記出力選択手段が組合せ出力信号を用いて前記アドレスと一致するエンティリの値を選択することを特徴とする、請求項11に記載のデータ処理システム。

【請求項20】前記出力選択手段がマルチブレクサであることを特徴とする、請求項19に記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速メモリを使用してデータのロックアップを行うデータ処理システムに関する。より詳細には、本発明は、そのようなシステムにおける完全連想式内容アドレス可能メモリに関する。

【0002】

【従来の技術】アドレスや位置ではなく内容によってアクセスされるメモリ装置は、連想メモリまたは内容アドレス可能メモリ(CAM)と呼ばれる。任意のワードを任意の記憶位置に保持することができるとき、そのメモリは完全連想式である。

【0003】ワードをCAMから読み取るとき、そのワードの内容またはワードの一部が指定される。メモリは指定された内容と一致するワードを探し出し、読み取りのためにそれをマークする。

【0004】図1は従来のCAMを実施するのに必要な論理的構成要素の概要を示すブロック図である。この図には、アドレス・レジスタ110、キー・レジスタ112、比較アレイ114、メモリ・アレイ116が示されている。このようなCAMは従来技術において公知である。

【0005】図2及び図3は、図1のブロック114の回路と同様の、従来技術による比較アレイを実施した回路を示す。図2は図3に続く。この図には、線210をメンバーとする1組のアドレス線(ADDR)と、エントリ212など同一エントリの列が示されている。エントリ212は、一致線0とワード線0を含む。

【0006】エントリ212はまた、1行のXORゲート及び対応するN FETをも含む。各XORゲートはアドレス線及びメモリ要素からの入力を受信する。メモリ要素の内容は、図示されていない回路を使用して設定される。各XORゲートの出力は、そのドレインが一致線に接続されているN FETを駆動する。各一致線は、P FETにより高状態に事前充電(プリチャージ)されている。また、各一致線はストローブとANDされて、ワード線上に出力を生成する。

【0007】例えば、XORゲート214はアドレス線210及びメモリ要素216からの入力を受信する。ゲート214はN FET218を駆動する。N FET218のドレインは、一致線0は図3のP FET220により高に事前充電される。一致線0とストローブ線222は、ANDゲート224に入力される。ANDゲート224の出力はワード線0である。

【0008】使用に際しては、アドレス・レジスタ110の内容はキー・レジスタ112によってマスクされ、その結果得られるビットがアドレス線に印加される。各一致線は高に事前充電されている。各XORゲートはそのアドレス線上の信号をメモリ要素の信号と比較し、その出力でN FETを駆動する。XORゲートの出力が高

のときは、N F E Tは一致線を低に駆動する。次いでストローブ222はC A M内の各エントリの一致線をサンプリングし、その結果がメモリ・アレイ116に送られる。

【0009】図4及び図5は、メモリ・アレイ116の典型的なメモリ・アレイ・ビット・スライスを示し、從来技術を理解するのに必要な要素を示している。図4は図5に続く。図4に示されるように、メモリ要素エントリ0はN F E T310を駆動し、メモリ要素の0回転がN F E T312を駆動する。N F E T310と312のドラインは、それぞれN F E T314と316のソースに接続されている。N F E T314と316はワード線0によって駆動される。N F E T314と316のドラインは、それぞれビット線318と320に接続されている。ビット線318と320は、図5のP F E T322と324により高に事前充電されている。事前充電されたビット線は次いで反転され、アレイ・ビット・スライスの真出力及び補出力となる。

【0010】実際、高いワード線はその閾値するN F E Tを駆動し、それによって真ビット線がメモリ要素の反転となり、また補ビット線がメモリ要素の状態となる。次いで各ビット線が反転され、それによって出力線がメモリ要素の状態を反映するようになる。

【0011】C A Mの主要な利点はスピードである。C A Mはデータの閾値付けによる並列探索を行うのに非常に適している。さらに、キー・レジスタ112を使用することにより、ワード全体またはワード内の特定フィールドの探索が可能となる。しかしながら、C A Mは、各エントリが合せたための論理回路及び記憶能力を必要とするため、一般にランダム・アクセス・メモリより高価である。このため、C A MはC P Uに閾値するメモリ管理装置におけるような、探索時間が非常にクリティカルで短時間でなければならぬようなアプリケーションに使用される。

【0012】従来技術のC A Mにおいては、ストローブは最も遅い一致線の後に起こるようタイミングを設定しなくてはならず、そうしないとワード線が正しくない状態に置かれる恐れがあった。しかし、一致線とストローブの間の大きな時間マージン分だけC A Mのパフォーマンスが低下していた。したがって、ストローブ線のタイミングはC A Mのパフォーマンスにとってクリティカルであった。一致線とストローブの間のこうした競争状態は、C A Mの設計にエラーが生じる大きな危険を増大させていた。

【0013】したがって、本技術分野ではストローブと一致線の間の競争状態を解消するC A Mを実施する方法及びシステムが必要とされている。

【0014】

【発明が解決しようとする課題】本発明の目的は、より効率的なデータ処理システムを提供することである。

【0015】本発明の他の目的は、従来技術による内容アドレス可能メモリに見られるストローブ、及びそれに付随するストローブと一致線の間の競争状態を解消する、完全連想式内容アドレス可能メモリを実施するシステムを提供することである。

【0016】

【課題を解決するための手段】本発明の前記その他の目的は、ストローブの必要をなくしC A Mの全体的パフォーマンスを改善する完全連想式C A Mを実施するシステムによって達成される。本発明のC A Mは、一致するものがある場合、C A Mの1つのエントリだけが印加されたアドレスに一致するという事実を利用する。あるC A Mエントリが、印加されたアドレスに一致した場合、そのアドレスは他のC A Mエントリには一致しなかったと想定できる。したがって、メモリ・アレイ内のあるエントリにアクセスするためには、メモリ内のこの特定の一致エントリに対応していないC A Mエントリの一致線は、それぞれ事前充電状態のままであると判断できる。このような他の状態情報を用いることにより、ストローブを使用せずに適切なメモリ・ビットを選択することができる。

【0017】以下の詳細な説明がより良く理解できるように、本発明の特徴及び技術的利点の概要を大まかに述べた。本発明の特許請求の範囲の主題をなす、発明の追加の特徴及び利点については以下で述べる。ここに開示する概念及び特定の実施形態は、本発明に同じ目的を実行するため修正を加えたり、他の構造を設計するための基礎として容易に使用できることが当業者には理解されよう。そのような同等な構成が特許請求の範囲で定める本発明の趣旨及び範囲から逸脱するものでないことが、当業者には認識されよう。

【0018】

【発明の実施の形態】本発明を実施するための代表的なハードウェア環境を図6に示す。図6は、Power P Cマザーボードプロセッサなどの、少なくとも1つの中央演算処理装置(C P U)410と、システム・バス412を介して相互接続される他のいくつかの装置を有する本発明によるワークステーションの、代表的なハードウェア構成を示す。図6に示したワークステーションは、読み取り専用メモリ(ROM)414と、ランダム・アクセス・メモリ(RAM)416と、ディスク装置420やテープ・ドライブ440などの周辺装置をバス412に接続するための入出力(1/O)アダプタ418と、キーボード424、マウス426、スピーカ428、マイクロフォン432、及び／あるいはタッチ・スクリーン装置(図示せず)などその他のユーザのインターフェース装置をバス412に接続するためのユーザ・インターフェース・アダプタ422と、このワークステーションをデータ処理ネットワークに接続するための通信アダプタ434と、バス412を表示装置438に接続するための

表示アダプタ436を含む。

【0019】CPU410内には、本発明を実施した少なくとも1つの内容アドレス可能メモリ(CAM)440がある。CAM440は、比較アレイ及びメモリ・アレイを有する点で図1に示したCAMと同じである。CAM440は完全連想式である。CPU410は、高速のデータ・ロックアップを必要とするあらゆる目的のためにCAM440を使用することができる。例えば、ブロック・アドレス変換装置として典型的に用いられる。

【0020】図7にCAM440の概要を示す。図7は4つのエントリ0～3を有する比較アレイ510、比較アレイ510のエントリに対応する4つのRAMエントリ0～3を有するメモリ・アレイ512、及びRAMエントリからの選択に使用されるMUX514を含む。メモリ・アレイ512はRAM416内にあってもよいし、CAM440内の別のメモリ空間にあってもよい。

【0021】複数のアドレス線516が、アドレスを比較アレイ510に印加するために使用される。比較アレイ510の各エントリは対応するミス線を有し、そのエントリがアドレスと一致しない場合にそのミス線がアサートされる。エントリ0のミス線はRAMエントリ1に接続され、エントリ1のミス線はRAMエントリ0に接続される。さらに、エントリ0と1のミス線は共にANDされ、その結果生じる出力はMUX514に送られる。エントリ2と3も同様に構成されている。

【0022】図7のブロック図にしたがってCAM440を実施する論理回路が図8～図11に示されている。図8及び図9は比較アレイの好ましい実施形態を示し、図10及び図11はメモリ・アレイ・ビット・スライスの好ましい実施形態を示す。これらの回路が一緒にあって、本発明のCAMを実施する。なお、図8は1点鎖線で図9に続き、図10は1点鎖線で図11に続く。

【0023】なお、図8～図11に示す回路は例示的なものにすぎない。図8及び図9に示すものと同様の本発明による比較アレイは、アドレス線及びエントリをいくつ有していてもよい。同様に、メモリ・アレイも図10及び図11に示すものと同じように、ビット・スライスをいくつ有していてもよい。さらに、各ビット・スライスは、比較アレイ中の各エントリがビット・スライス内に対応するエントリを有する限り、エントリをいくつ有していてもよい。アドレス線、エントリ、及びビット・スライスの数は、データ処理システムで使用される特定のアドレス・フォーマットとワード・サイズによって決まる。

【0024】図8及び図9はメモリ・アレイにアクセスするために用いられる回路を示す。この回路は、アドレスがCAM内のエントリに一致するかどうかを判断する。図8及び図9の回路は、アドレスのビットを供給するための4つのアドレス線610～616を有する。さらに、この回路はCAMアドレスを保持するための4つ

のエントリ(エントリ0～3)を有する。エントリ0などの各エントリは、4つのXORゲート626、630、634、638を有し、各XORゲートは対応するNFET628、632、636、640のゲートを駆動する。各XORゲート626、630、634、638は、関連するメモリ要素642～648及び対応するアドレス線610～616からの入力を受け取る。メモリ要素の設計、ロード、読み取りは当業界で公知であり、ここで論じる必要はない。あるエントリの各N F E Tの

ドレインは、そのエントリ用の一一致線に接続される。例えば、エントリ0のNFET628、632、636、640のドレインは、一一致線0に接続される。

【0025】PFET650～656は、各一致線をV_Dに事前充電する(以下「高」または「1」と称する)。また、各一致線はその出力で反転され、ミス信号0～3を生ずる。さらに、ミス0はミス1とANDされてミス信号1を生じ、ミス2はミス3とANDされてミス信号2を生ずる。

【0026】使用に際しては、引数がアドレス線610～616に印加される。あるアドレス線上の信号がメモリ要素に一致しない場合、その素子の一一致線は低に駆動される。例えば、アドレス線610が1でありメモリ要素642が0である場合、XORゲート626は高信号をNFET628のゲートに送る。次いでNFET628は一致線0を低に駆動する。一致線0は反転され、したがって、ミス0線は高である。

【0027】引数があるエントリのすべてのメモリ要素に一致する場合、そのエントリの一一致線は高状態に事前充電されたままとなる。その一致線が反転され、したがってそのエントリのミス線は低になる。

【0028】図10及び図11は、図9のミス信号を用いた本発明のメモリ・アレイ・ビット・スライスを示す。ミス信号0～3、ミス01、及びミス23がビット・スライスに入力される。ビット・スライス中の回路が、これらの入力信号を用いて、そのビット・スライス内の印加されたアドレスに一致するビットの状態を反映する真出力及び補出力を生ずる。

【0029】図10及び図11のビット・スライスは、CAM440内の各エントリごとに1つずつ、合計4つのメモリ要素を有する。各素子の真信号及び補信号は別々のN F E Tのゲートに接続される。各N F E Tのドレインは、ミス信号によって駆動される他のN F E Tのソースに接続される。後者のN F E Tのドレインは、P F E Tにより高に事前充電された線に接続され、ミス01及びミス23信号を使用してビット・スライスからの適切な出力を選択するマルチプレクサ(MUX)と接続する。

【0030】例えば、メモリ要素708はN F E T710のゲートを駆動する。N F E T710のドレインは、N F E T712のソースに接続される。ミス1線はN F

NET712のゲートを駆動する。NET712のドレインは、PFET714により高に事前充電されている線に接続され、インバータ716によって反転されてからNET718のゲートに接続される。NET718のソースはNET720のドレインに接続される。NET720はミス23により駆動される。NET718のドレインはPFET722により高に事前充電され、インバータ724により反転されてビット・ストリームの直出力になる。

【0031】図10のエントリ0が、CAM440に供給される引数に一致すると仮定する。したがって、ミス0とミス01は低であり、ミス1～3とミス23は高である。またメモリ要素708が「1」の値を有すると仮定する。

[0032]したがって、NFET712は、インバータ716に接続された線を低に駆動する。その結果、NFET718は高に駆動されることになる。ミス23は1であり、そのためNFET720がNFET718のソースを低に駆動する。NFET718のドレンから信号は反転され、その出力は、メモリ要素708の適切な真の値である1となる。図10及び図11の回路が、可能な入力のあらゆる組合せに応じて正しい出力及び補出力を提供することを、当業者は即座に了解するであろう。

【0033】まとめとして、本発明の構成に関して以下の事項を開示する。

【0034】(1) 複数のCAMエントリを有する比較アレイと、それぞれある値を有するメモリ要素を有する複数のRAMエントリを有するメモリ・アレイとを備える内容アドレス可能モードであって、前記比較アレイが、アドレスを受信するアドレス受信手段と、前記アドレスをCAMエントリと比較して前記アドレスがCAMエントリと一致するかどうかを決定する比較手段と、各CAMエントリごとにそれがアドレスと一致しているかどうかを示すミス出力信号を発生し、かつ前記ミス出力信号の論理的組合せを表す組合せ出力信号を発生するための第1の出力手段とを備え、前記メモリ・アレイが、前記比較アレイから前記ミス出力信号及び前記組合せ出力信号を受信するための出力受信手段と、前記ミス出力信号及び前記組合せ出力信号からRAMエントリを選択するための選択手段と、選択されたRAMエントリのメモリ要素の値を表示RAM出力信号をメモリ・アレイから発生するための第2の出力手段とを備える、内容アドレッサブルモード。

(2) 前記RAM出力信号が、選択されたRAMエンリの値の真数及び補数を示すことを特徴とする、上記(1)に記載の内容アドレス可能メモリ

(3) 前記アドレス受信手段が複数のアドレス線を含むことを特徴とする、上記(1)に記載の内容アドレス可能メモリ。

(4) 前記比較手段が、CAMエントリに関連する複数のCAMメモリ要素と、CAMエントリに関連し、それがCAMメモリ要素及びアドレス受信手段からの入力を受信する複数のXORゲートと、ドレンainを有し、それぞれがXORゲートによって駆動される複数のNFEETと、高低の状態を有し、CAMエントリに関連し、各NFEETのドレンinがそれに接続される、一致線とを備えることを特徴とする、上記(1)に記載の内容アドレス可能メチル。

(5) 前記一致線が高に事前充電されており、XORゲートにより受信されたCAMメモリ要素からの入力がアドレス受信手段からの入力と一致しない場合に、NFE

下によって低に駆動されることを特徴とする、上記(4)に記載の内容アドレス可能メモリ。

(6) 前記(1)の出力手段が、それぞれがCAMPトロリに関連し、ある状態を有する複数の一一致線と、それぞれが一致線の状態を反転し、それによってミス信号を生成する複数のインバータと、それぞれが複数のミス信号の状態を比較して組合せ信号を出力する複数の論理ゲートとを備えることを特徴とする、上記(1)に記載の内容アドレス可能メモリ。

(7) 前記論理ゲートがANDゲートであることを特徴とする、上記(6)に記載の内容アドレス可能メモリ。

(8) 前記出力受信手段が、前記第1の出力手段から受信された複数のミス線を備えることを特徴とする、上記(1)に記載の内容アドレス可能メモリ。

(9) 前記選択手段が、ソースとドレインを有し、それぞれがRAMエントリに関連しかつRAMエントリの値によって駆動される複数の第1のNFEETと、ソースとドレインを有し、それぞれのソースが第1のNFEETのドレインに接続されかつそれが比較アレイからreadしたミス出力信号によって駆動される複数の第2のNFEETと、第2のNFEETのドレイン及び組合せ出力信号に接続された出力選択手段とからなり、前記出力選択手段が、組合せ出力信号を用いてアドレスと一致するエンティリの値を選択することを特徴とする、上記(1)に記載の山内式ドレイン可変メモリ

(10) 前記出力選択手段がマルチプレクサであることを特徴とする、上記(9)に記載の内容アドレス可能メモリ

(11) メモリ・アドレス要求を内容アドレス可能メモリに送る処理装置と、複数のCAMエンントリを有する比較アレイと、それぞれある値を有するメモリ要素を有する複数のRAMエンントリを有するメモリ・アレイとを備える、内容アドレス可能メモリからデータを検索するためのデータ処理システムであって、前記比較アレイが、アドレス受信用のアドレス受信手段と、前記アドレスをCAMエンントリと比較して両者を一致するかどうかを決定するための比較手段と、各CAMエンントリごとにそれがドレース一致するかどうかを示す出力信号を登生

し、かつ前記ミス出力信号の論理的組合せを表す組合せ出力信号を発生するための第1の出力手段とを備え、前記メモリ・アレイが、比較アレイから前記ミス出力信号及び前記組合せ出力信号を受信するための出力受信手段と、ミス出力信号及び組合せ出力信号からRAMエントリを選択するための選択手段と、選択されたRAMエントリのメモリ要素の値を示すRAM出力信号をメモリ・アレイから発生し、該RAM出力信号を処理装置に送るための第2の出力手段とを備える、データ処理システム。

(12) 前記RAM出力信号が、選択されたRAMエントリの値の真数及び補数を示すことを特徴とする、上記(11)に記載のデータ処理システム。

(13) 前記アドレス受信手段が複数のアドレス線を備えることを特徴とする、上記(11)に記載のデータ処理システム。

(14) 前記比較手段が、CAMエントリに関連する複数のCAMメモリ要素と、CAMエントリに関連し、それぞれがCAMメモリ要素及びアドレス受信手段からの入力を受信する複数のXORゲートと、ドレインを有し、それぞれがXORゲートにより駆動される複数のN FETと、高低の状態を有し、CAMエントリに関連し、各N FETのドレインがそれに接続される一致線とを備えることを特徴とする、上記(11)に記載のデータ処理システム。

(15) 前記一致線が高に事前充電されており、XORゲートによって受信されたCAMメモリ要素からの入力がアドレス受信手段からの入力と一致しない場合に、N FETにより低に駆動されることを特徴とする、上記(14)に記載のデータ処理システム。

(16) 前記第1の出力手段が、それぞれがCAMエントリに関連し、ある状態を有する複数の一一致線と、それぞれが一致線の状態を反転し、それによってミス信号を生成する複数のインバータと、それぞれが複数のミス信号の状態を比較して組合せ信号を出力する複数の論理ゲートとを備えることを特徴とする、上記(11)に記載のデータ処理システム。

(17) 前記論理ゲートがANDゲートであることを特徴とする、上記(16)に記載のデータ処理システム。

(18) 前記出力受信手段が、第1の出力手段から受信した複数のミス線を備えることを特徴とする、上記(11)に記載のデータ処理システム。

(19) 前記選択手段が、ソースとドレインを有し、それぞれがRAMエントリに関連しかつRAMエントリの値によって駆動される複数の第1のN FETと、ソースとドレインを有し、それぞれのソースが第1のN FETのドレインに接続されかつそれぞれが比較アレイから受信したミス出力信号によって駆動される複数の第2のN

FETと、第2のN FETのドレインと組合せ出力信号とに接続された出力選択手段とからなり、前記出力選択手段が組合せ出力信号を用いて前記アドレスと一致するエントリの値を選択することを特徴とする、上記(11)に記載のデータ処理システム。

(20) 前記出力選択手段がマルチブレクサであることを特徴とする、上記(19)に記載のデータ処理システム。

【図面の簡単な説明】

10 【図1】従来の内容アドレス可能メモリ(CAM)を示す図である。

【図2】従来のCAMの比較アレイの一部を示す図である。

【図3】従来のCAMの比較アレイの残りの部分を示す図である。

【図4】従来のCAMのメモリ・アレイ・ビット・ライスの一部を示す図である。

【図5】従来のCAMのメモリ・アレイ・ビット・ライスの残りの部分を示す図である。

20 【図6】本発明を実施したデータ処理システムを示す図である。

【図7】本発明のCAMを示す図である。

【図8】本発明の比較アレイの一部を示す図である。

【図9】本発明の比較アレイの残りの部分を示す図である。

【図10】本発明のメモリ・アレイ・ビット・ライスの一部を示す図である。

【図11】本発明のメモリ・アレイ・ビット・ライスの残りの部分を示す図である。

【符号の説明】

410 中央演算処理装置(CPU)

412 システム・バス

414 読取り専用メモリ(ROM)

416 ランダム・アクセス・メモリ(RAM)

418 入出力(I/O)アダプタ

420 ディスク装置

422 ユーザ・インターフェース・アダプタ

424 キーボード

426 マウス

428 スピーカ

432 マイクロフォン

434 通信アダプタ

438 表示装置

440 アドレス可能メモリ(CAM)

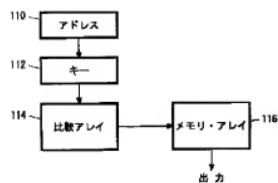
510 比較アレイ

512 メモリ・アレイ

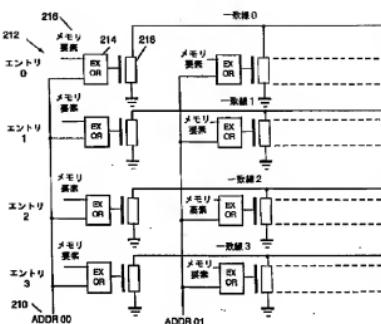
514 MUX

516 アドレス線

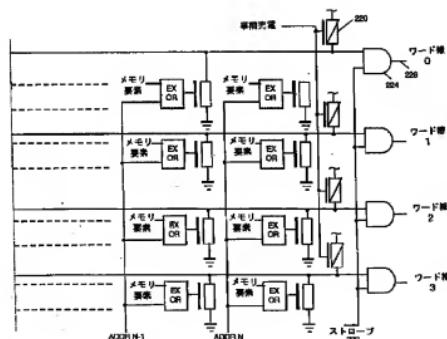
【図1】



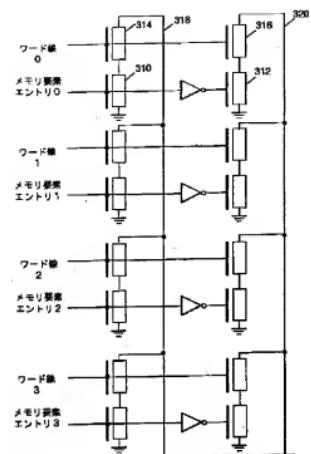
【図2】



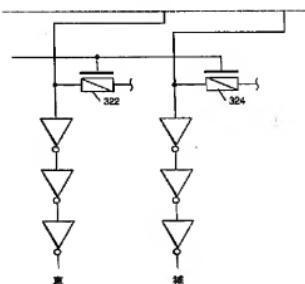
【図3】



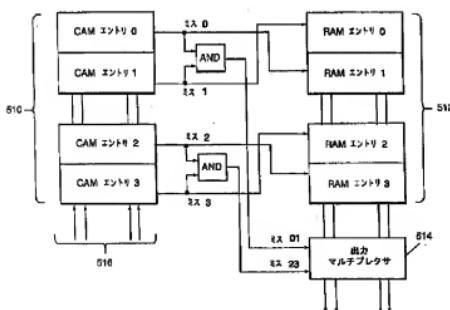
【図4】



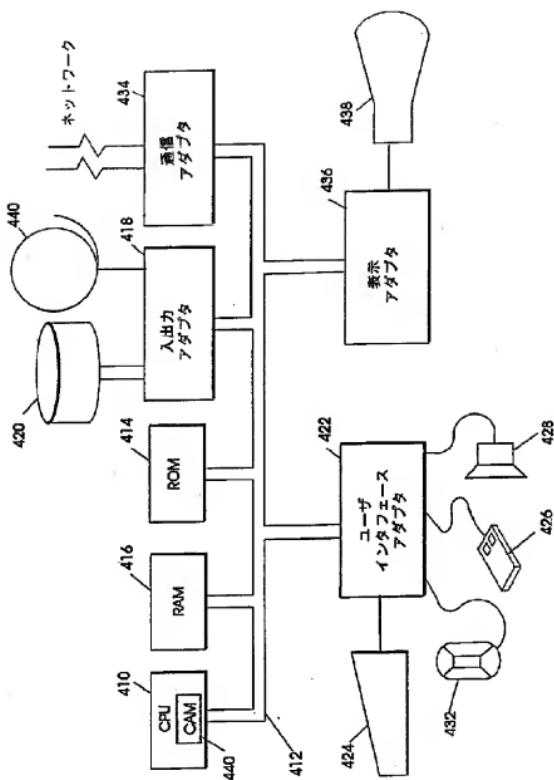
【図5】



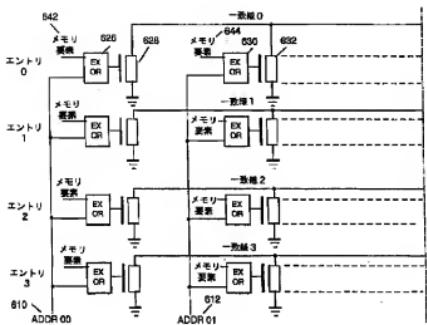
【図7】



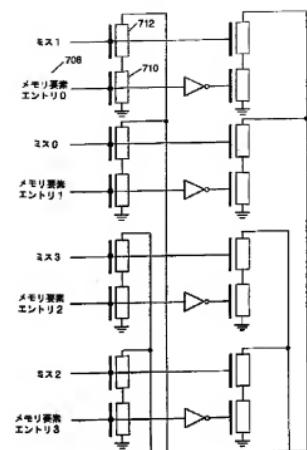
【図6】



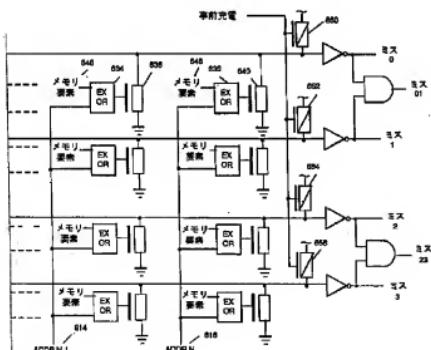
【図8】



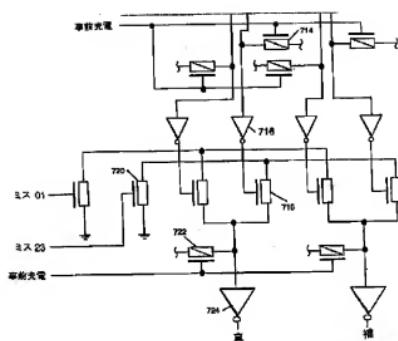
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 ドナルド・アルバート・エヴァンス
アメリカ合衆国05495 パーモント州ウェ
リストンシーダー・レーン 218

(72)発明者 レイド・アレン・ウイストート
アメリカ合衆国05494 パーモント州ウェ
ストワード ミルトン=ウェストフォー
ド・ロード 448